**Universidade Federal de Pernambuco – UFPE**

**Centro de Informática – CIn**

**Infraestrutura de Hardware – if674cc**

**Relatório de Projeto**

**Recife – 2010.1**

**Infraestrutura de hardware – if674cc**

**Especificação de Projeto**

Documento desenvolvido pelo grupo de hardware sob orientação do(a) monitor(a) <Nome do monitor>.

Escrito por:

<Nome> (login),

<Nome> (login),

<Nome> (login),

<Nome> (login),

<Nome> (login).

**Sumário**

**Introdução**

Breve explicação sobre o objetivo do projeto e o objetivo do relatório.

# Unidade de Processamento

Esta seção deve conter o diagrama de blocos da Unidade de Processamento. Caso seja difícil colocar o diagrama no relatório, ou o diagrama fique ilegível, deve-se entregar a cartolina que contém o diagrama de blocos final da unidade de processamento.

# Descrição das Entidades

Descrever todas as entidades que compõem o projeto, descrevendo quais são as entradas, a(s) saídas, o objetivo da entidade e o algoritmo dela.

* **EntidadeX**

**Entradas**

Definir todos os sinais de entrada da EntidadeX, mostrando o nome e a quantidade de bits de cada sinal. Além disso, dizer o que o sinal representa.

Exemplo:

Clk(1 bit): representa o clock do sistema.

Reset(1 bit): sinal que, quando ativado, leva o controle para o estado de reset.

E assim sucessivamente.

**Saídas**

Definir todos os sinais de saída da EntidadeX, mostrando o nome e a quantidade de bits de cada sinal. Além disso, dizer o que o sinal representa.

Exemplo:

PC (1 bit): sinal que ativa a escrita do registrador PC.

**Objetivo**

Descrever qual o objetivo de se ter uma EntidadeX num processador além de descrever qual sua função.

**Algoritmo**

Descrição breve de como a EntidadeX funciona.

\*Multiplexadores não precisam ser descritos, pois seu funcionamento é trivial. No entanto, eles devem ser citados nas operações nas quais ele participa.

# Unidade de Controle

Caso seja difícil colocar o diagrama no relatório, ou o diagrama fique ilegível, deve-se entregar a cartolina que contém o diagrama de estados final da unidade de controle.

# Descrição dos Estados de Controle

# 

<Imagem contendo o diagram de estados>

Descrição de cada estágio mostrando quais mudanças ocorrem ao chegar nesse estado e quais sinais são enviados/recebidos.

**Exemplo:**

Estado: Reset (reset\_1):

Neste estado, o controle limpa todos os registradores do processador, o banco de registradores e as entidades SHIFT, MULT, STORE e LOAD, fazendo reset = 1 em cada um deles.

Estado: Reset (reset\_2):

Neste estado, o controle carrega o valor 227 no registrador 29.

# Conjunto de Simulações

É dever da equipe apresentar nesta seção, ao menos uma simulação de cada uma das instruções que tiveram sua implementação exigida na especificação do projeto. Essa apresentação deverá consistir de uma imagem do relatório de simulação gerado pelo software Quartus e sua explicação detalhada. Nesta explicação deverá ficar claro o que cada sinal de entrada e saída envolvido na simulação representa, seus valores e o resultado esperado ao executar a operação.

Em cada simulação de instrução é importante que estejam presentes os valores dos registradores PC, EPC, MDR, IR e Registrador 29. Além desses, os registradores envolvidos na operação que está sendo testada deverão ser apresentados na simulação. Ainda é exigida a presença dos sinais de clock e reset e do sinal que indica em quais estados a máquina de estados da unidade de controle passou durante a simulação da instrução em questão.

*Atenção:*

*a) Descrição dos sinais: Todos os sinais que importem na observação dos valores de entrada o dos resultados de uma operação específica devem estar descritos literalmente. A figura que prove a execução correta ou não da instrução deve ser disponibilizada logo após a descrição dos sinais.*

*b) As equipes devem nomear os sinais presentes na simulação de forma que fique claro na imagem o que cada um representa.*

*c) Deverá haver uma descrição dos sinais e uma figura para cada instrução testada.*

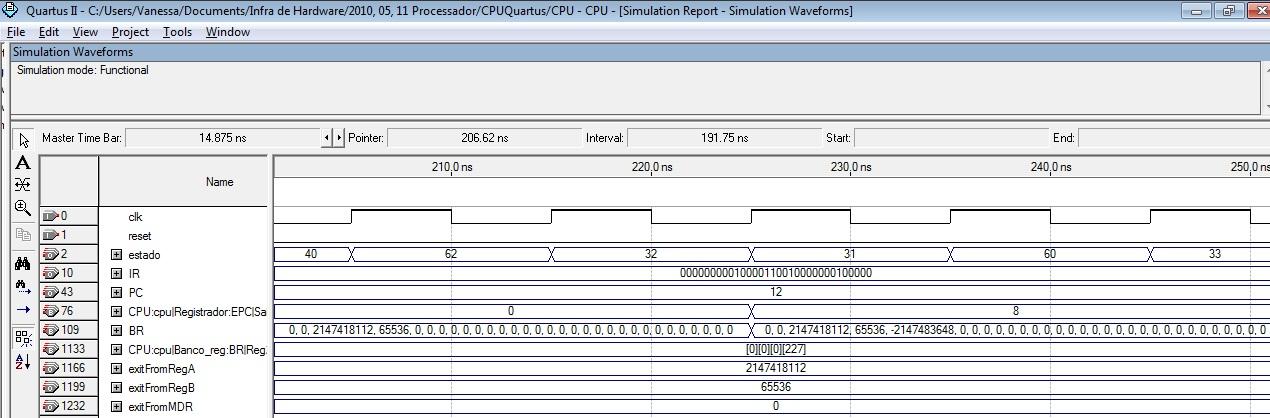
Cada unidade projetada deve ser simulada separadamente.

Exemplo:

**Simulações**

**Instrução add**

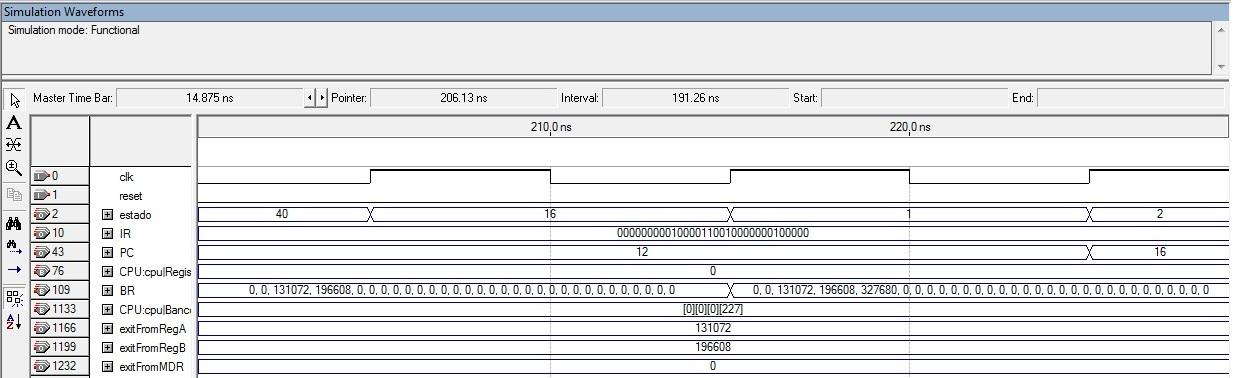
*exitFromRegA*: conteúdo do registrador A = 2.147.418.112;

*exitFromRegB*: conteúdo do registrador B = 65.536; 

Descrição da simulação num caso que gera overflow: no primeiro estado mostrado foram carregados (com uso anterior de lui) valores em reg2 e reg3. No estado 31 é carregado o valor da soma em reg4. Como foi uma operação que gerou overflow, EPC é carregado com o valor de PC (8).

*exitFromRegA*: conteúdo do registrador A = 131.072;

*exitFromRegB*: conteúdo do registrador B = 196.608;



Descrição da simulação num caso geral (sem overflow): no primeiro estado mostrado, já foram carregados valores em reg2 e reg3. No próximo estado (40) a ULA realiza a operação e, no estado seguinte reg4 é carregado com o resultado da soma. Como não foi gerado overflow, após a operação, retorna-se ao estado inicial (1) e direciona-se para a próxima instrução (incrementa PC).

# Conclusões

Deve apresentar de forma simples os resultados obtidos e trazer uma análise que mostre se os objetivos apresentados na introdução foram alcançados.

MAIS INFORMAÇÕES SOBRE O RELATÓRIO EM: